

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-76126
(P2002-76126A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 21/82		H 0 1 L 21/82	R 5 F 0 3 8
27/04		27/04	M 5 F 0 6 4
21/822			

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号 特願2000-264723 (P2000-264723)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 元持 健治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

Fターム(参考) 5F038 AV06 AV15 AV18 DF01 DF05

DF11 DF17 EZ08 EZ20

5F064 BB02 BB12 CC09 EE23 FF02

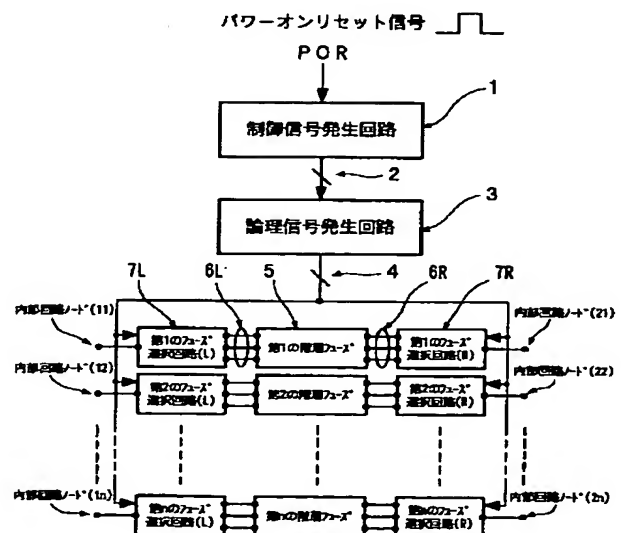
FF24 FF27 FF36 FF42

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 システム L S I 製品の最上層配線が第何層であっても、フューズ構成を容易に対応させることができる半導体集積回路装置を提供する。

【解決手段】 それぞれが異なる配線層からなる複数のフューズを、階層的に配置し、これらのフューズを内部回路ノードに選択的に接続するフューズ選択回路 7 L、7 R を備え、そのフューズ選択回路 7 L、7 R を制御する論理信号発生回路 3 およびその論理信号発生回路 3 を制御する制御信号発生回路 1 を備え、また、制御信号発生回路 1 から発生される制御信号 2 の論理は、製造プロセスのマスク適用工程によって決定され、パワーオンリセット信号によって、製品への電源投入時に自動的に発生する。



1

【特許請求の範囲】

【請求項 1】 多層配線プロセスで形成された複数の配線層からなり、前記プロセスでのフューズ救済機能を有する半導体集積回路装置であって、前記複数の配線層の異なる配線層に形成された複数のフューズからなる階層フューズを複数設けたことを特徴とする半導体集積回路装置。

【請求項 2】 複数の階層フューズを、それぞれ、異なる配線層間で位置ずれがない状態に重ねて配置したことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 複数の階層フューズを、それぞれ、異なる配線層間で段違いに重ねて位置ずれした状態に配置したことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】 複数の階層フューズを、それぞれ、異なる配線層間で階段状に重ねて位置ずれした状態に配置したことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】 複数の階層フューズを、それぞれ、第 1 の内部回路ノードと第 2 の内部回路ノードとの間に設け、異なる配線層に形成された複数のフューズから選択的に前記第 1 の内部回路ノードと第 2 の内部回路ノードとに接続するよう構成したことを特徴とする請求項 2 から請求項 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】 異なる配線層に形成された複数のフューズから、それらの一端を選択的に第 1 の内部回路ノードに接続するための第 1 のフューズ選択回路を備えたことを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】 異なる配線層に形成された複数のフューズから、それらの他端を選択的に第 2 の内部回路ノードに接続するための第 2 のフューズ選択回路を備えたことを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】 第 1 またはおよび第 2 のフューズ選択回路の選択接続を制御する論理信号を発生する論理信号発生回路を備えたことを特徴とする請求項 6 または請求項 7 に記載の半導体集積回路装置。

【請求項 9】 論理信号発生回路からの論理信号の発生を制御する制御信号を発生する制御信号発生回路を備えたことを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 10】 制御信号発生回路からの制御信号が、製造プロセスのマスク適用工程によって切り替えられることを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】 制御信号発生回路を、装置が電源オンされる時に発生するパワーオンリセット信号が入力され、そのパワーオンリセット信号に基づいて、制御信号を発生するよう構成したことを特徴とする請求項 10 に記載の半導体集積回路装置。

【発明の詳細な説明】

2

【0001】

【発明の属する技術分野】本発明は、多層配線プロセスで形成され、そのプロセスでのフューズ救済機能を有する半導体集積回路装置に関するものである。

【0002】

【従来の技術】現在まで、半導体集積回路装置の高集積化と高性能化の進展は留まるところを知らず、今日では、大容量メモリコア（以下、メモリマクロと称す）とロジック回路とを混載したシステム L S I（以下、単に、システム L S I と称す）の量産が本格化してきている。

【0003】このシステム L S I を実現するため、一般に 3 層以上の多層配線プロセスが適用されるが、コスト、性能等を考慮した上で、それぞれのシステム L S I の特徴を最大限に発揮するために、適用される微細化プロセスルールが同じであっても、製品によって使用される配線層数は異なったものとなる。

【0004】ここで問題となるのが、上記のようなシステム L S I に搭載されるメモリマクロのフューズ形成層である。このメモリマクロには、欠陥メモリセルを冗長メモリセルに置き換える目的で、あるいは、内部電源回路で発生される電圧値を調整する等の目的で、内部配線を切断することによりその接続を切り換えるためのフューズ技術が広く採用されている。

【0005】これらのフューズをレーザートリマー等によって切断する場合、切断の対象となるフューズはチップの表面近傍に存在する方が切断されやすく、最上層の配線層で形成される必要があるが、前述のように、微細化プロセスルールが同じであっても、製品によって使用される配線層数が異なるため、メモリマクロのフューズ形成層をそれぞれの製品の最上層の配線層に合わせる必要がある。

【0006】図 16 は第 3 配線層（以下、M3 と記す）にフューズが形成された従来のメモリマクロにおけるフューズ部の断面構造を示す。このメモリマクロは、M3 を最上層配線とする製品に適用されるものである。

【0007】M3 において形成されたフューズ 3 F の両端は、それぞれ、第 3 配線層－第 2 配線層間コンタクト（以下、V2 と記す）を介して、第 2 配線層（以下、M2 と記す）に接続され、再び、V2 を介して、一端は、M3 で形成された第 1 の内部回路ノードに接続され、他端は、M3 で形成された第 2 の内部回路ノードに接続されている。

【0008】図 17 は第 4 配線層（以下、M4 と記す）にフューズが形成された従来のメモリマクロにおけるフューズ部の断面構造を示す。このメモリマクロは、M4 を最上層配線とする製品に適用されるものである。この場合では、メモリマクロ自体は M3 までの配線層で完結されるが、フューズ（ハッチング部分）が形成された層を M4 として製品の最上層配線に合わせた構造になって

3

いる。

【0009】M4において形成されたフューズ4Fの両端は、それぞれ、第4配線層-第3配線層間コンタクト（以下、V3と記す）を介して、M3に接続され、さらにV2を介して、M2に接続され、再び、V2を介して、一端は、M3で形成された第1の内部回路ノードに接続され、他端は、M3で形成された第2の内部回路ノードに接続されている。

【0010】以上の図16、図17に示したように、それぞれのシステムLSI製品の最上層配線にフューズ形成層を合わせて、すなわち、チップ表面に最も近い配線層でフューズを形成することにより、レーザートリマー等によるフューズ切断をしやすくしている。

【0011】

【発明が解決しようとする課題】しかしながら上記のような従来の半導体集積回路装置では、それぞれのシステムLSI製品において、その製品に搭載されるメモリマクロが電氣的に全く同一仕様のものである場合でも、それぞれの製品の最上層配線層に対応させたフューズ形成層を有するメモリマクロを、各LSI製品毎に個々に準備する必要がある。

【0012】そのため、システムLSI製品のそれぞれに対応してメモリマクロの種類が増えることにより、設計および検証等の工数の増大化や、メモリマクロの種類管理の煩雑化を招くという問題点を有していた。

【0013】本発明は、上記従来の問題点を解決するもので、電氣的に全く同一仕様のメモリマクロが搭載されるシステムLSI製品の場合、その全配線層が何層であっても、フューズ形成層がすべての配線層数に適切に対応するメモリマクロを構成することができ、メモリマクロの種類増加を抑え、LSI製品の設計および検証等の工数の増大化や、メモリマクロの種類管理の煩雑化を防止することができる半導体集積回路装置を提供する。

【0014】

【課題を解決するための手段】上記の課題を解決するために本発明の半導体集積回路装置は、多層配線プロセスで形成された複数の配線層からなり、前記プロセスでのフューズ救済機能を有する半導体集積回路装置であって、前記複数の配線層の異なる配線層に形成された複数のフューズからなる階層フューズを複数設けた構成としたことを特徴とする。

【0015】以上により、LSI製品の全配線層数が何層であっても、常に全配線層の最上層にフューズ形成層を存在させることができる。

【0016】

【発明の実施の形態】本発明の請求項1記載の半導体集積回路装置は、多層配線プロセスで形成された複数の配線層からなり、前記プロセスでのフューズ救済機能を有する半導体集積回路装置であって、前記複数の配線層の異なる配線層に形成された複数のフューズからなる階層

4

フューズを複数設けた構成とする。

【0017】この構成によると、LSI製品の全配線層数が何層であっても、常に全配線層の最上層にフューズ形成層を存在させる。請求項2記載の半導体集積回路装置は、請求項1に記載の複数の階層フューズを、それぞれ、異なる配線層間で位置ずれがない状態に重ねて配置した構成とする。

【0018】この構成によると、従来のような単一配線層で形成されたフューズ形成部の面積を増大させることなく、複数のフューズの配置を可能とする。請求項3記載の半導体集積回路装置は、請求項1に記載の複数の階層フューズを、それぞれ、異なる配線層間で段違いに重ねて位置ずれした状態に配置した構成とする。

【0019】この構成によると、最上層の配線層に形成されたフューズがレーザートリマー等で切断された際に生じる下層フューズへのダメージを排除する。請求項4記載の半導体集積回路装置は、請求項1に記載の複数の階層フューズを、それぞれ、異なる配線層間で階段状に重ねて位置ずれした状態に配置した構成とする。

【0020】この構成によると、最上層の配線層に形成されたフューズがレーザートリマー等で切断された際に生じる下層フューズへのダメージを排除するとともに、ひとつの階層フューズを構成する複数のフューズの全てが水平方向にずれて配置され、各ヒューズ端子と内部回路ノードへの接続レイアウトを容易化する。

【0021】請求項5記載の半導体集積回路装置は、請求項2から請求項4のいずれかに記載の複数の階層フューズを、それぞれ、第1の内部回路ノードと第2の内部回路ノードとの間に設け、異なる配線層に形成された複数のフューズから選択的に前記第1の内部回路ノードと第2の内部回路ノードとに接続するよう構成する。

【0022】この構成によると、フューズの切断情報により、それぞれが異なる配線層からなる複数のフューズの中から、回路的に有効となるフューズを選択することができ、非選択状態のフューズがダメージを受けたとしても、回路的には何ら影響を及ぼさないようにする。

【0023】請求項6記載の半導体集積回路装置は、請求項5に記載の異なる配線層に形成された複数のフューズから、それらの一端を選択的に第1の内部回路ノードに接続するための第1のフューズ選択回路を備えた構成とする。

【0024】この構成によると、それぞれが異なる配線層からなる複数のフューズの一端子群から特定の一端子を選択して、その一端子を第1の内部回路ノードと電氣的に接続する。

【0025】請求項7記載の半導体集積回路装置は、請求項6に記載の異なる配線層に形成された複数のフューズから、それらの他端を選択的に第2の内部回路ノードに接続するための第2のフューズ選択回路を備えた構成とする。

5

【0026】この構成によると、それぞれが異なる配線層からなる複数のフューズの他端子群から特定の一端子を選択して、その一端子を第2の内部回路ノードと電気的に接続する。

【0027】請求項8記載の半導体集積回路装置は、請求項6または請求項7に記載の第1またはおよび第2のフューズ選択回路の選択接続を制御する論理信号を発生する論理信号発生回路を備えた構成とする。

【0028】この構成によると、フューズ選択回路を論理信号発生回路からの論理信号により制御する。請求項9記載の半導体集積回路装置は、請求項8に記載の論理信号発生回路からの論理信号の発生を制御する制御信号を発生する制御信号発生回路を備えた構成とする。

【0029】この構成によると、論理信号発生回路を制御信号発生回路からの制御信号により制御する。請求項10記載の半導体集積回路装置は、請求項9に記載の制御信号発生回路からの制御信号が、製造プロセスのマスク適用工程によって切り替えられる構成とする。

【0030】この構成によると、制御信号発生回路から発生する制御信号の論理を、製造プロセスのマスク適用工程によって決定する。請求項11記載の半導体集積回路装置は、請求項10に記載の制御信号発生回路を、装置が電源オンされる時に発生するパワーオンリセット信号が入力され、そのパワーオンリセット信号に基づいて、制御信号を発生するよう構成する。

【0031】この構成によると、製造プロセスのマスク適用工程によって論理が決定された制御信号発生回路からの制御信号を、LSI製品への電源投入により自動的に発生する。

【0032】以下、本発明の実施の形態を示す半導体集積回路装置について、図面を参照しながら具体的に説明する。図1は、本発明の実施の形態1の半導体集積回路装置において、階層フューズを選択的に接続する回路構成の概要を示すブロック図である。図1において、1はパワーオンリセット信号PORが入力される制御信号発生回路、2は制御信号発生回路1から発生される制御信号、3は制御信号2によって制御される論理信号発生回路、4は論理信号発生回路3から発生される論理信号、5はそれぞれが異なる配線層からなる複数のフューズで構成された第1の階層フューズ、6Lは第1の階層フューズ5の一端子群、6Rは第1の階層フューズ5の他端子群、7Lは内部回路ノード(11)と第1の階層フューズ5の一端子群6Lとの間に設置され、論理信号4によって制御される第1のフューズ選択回路(L)、7Rは内部回路ノード(21)と第1の階層フューズ5の他端子群6Rとの間に設置され、論理信号4によって制御される第1のフューズ選択回路(R)である。

【0033】第1の階層フューズ5と、該第1の階層フューズ5の左右にそれぞれ配置された第1のフューズ選択回路(L) 7Lおよび第1のフューズ選択回路(R) 7Rとは、内部回路ノード(11)と内部回路ノード(21)との間に一直線状に配置され、同様に、これと平行して、第2の階層フューズと第2のフューズ選択回路(L)と第2のフューズ選択回路(R)とが、内部回路ノード(12)と内部回路ノード(22)との間に一直線状に配置されている。

【0034】さらに同様に、これと平行して、第nの階層フューズと第nのフューズ選択回路(L)と第nのフューズ選択回路(R)とが、内部回路ノード(1n)と内部回路ノード(2n)との間に一直線状に配置されている。

【0035】これら複数のフューズ選択回路(L)およびフューズ選択回路(R)は、すべて共通の論理信号4によって制御される構成になっている。図2は、本発明の実施の形態2の半導体集積回路装置において、階層フューズを選択的に接続する回路構成の概要を示すブロック図である。図1との違いは、フューズ選択回路(L)が取り除かれ、回路が簡略化されたことであり、階層フューズの一端子群6Lと、内部回路ノード11とを物理的かつ電気的に接続した構成になっている。それ以外は、図1の構成と同様である。

【0036】図3から図5は、本発明の実施の形態1および2の半導体集積回路装置における階層フューズの重なり構成を模式的に示した図である。図3の模式図は、例えば第1～第3の階層フューズの1つの階層フューズを構成する複数の配線層フューズが、階層的に水平方向の位置ずれがない状態で配置されている場合を示している。

【0037】図4の模式図は、例えば第1～第3の階層フューズの1つの階層フューズを構成する複数の配線層フューズが、階層的に段違いに重ねて水平方向の位置をずらした状態で配置されている場合を示している。

【0038】図5の模式図は、例えば第1～第3の階層フューズの1つの階層フューズを構成する複数の配線層フューズが、階層的に階段状に重ねて水平方向の位置をずらした状態で配置されている場合を示している。

【0039】以上の図3から図5に示したように、階層フューズの構成としては、いずれの構成であってもよい。図6から図8は、本発明の実施の形態1の半導体集積回路装置における階層フューズ選択切り替えの概念を示す模式図である。この場合のメモリマクロは、最上層配線が第4層であるシステムLSI、最上層配線が第5層であるシステムLSI、最上層配線が第6層であるシステムLSIのいずれにも搭載され得るものである。

【0040】図6の模式図は、メモリマクロが、第6層を最上層配線とするシステムLSIに搭載された場合の階層フューズ選択切り替えの概念を示している。この場合、階層フューズ部には、第4層配線フューズ、第5層配線フューズ、第6層配線フューズの3本のフューズが存在するが、これらを含む階層フューズ部の左右それぞれ

7

れに配置されたフューズ選択回路 (L) およびフューズ選択回路 (R) が、最上層配線フューズである第 6 層配線フューズの両端子をそれぞれ選択することにより、内部回路ノード (1) は、フューズ選択回路 (L)、第 6 層配線フューズ、フューズ選択回路 (R) を順に介して、内部回路ノード (2) に電氣的に接続される。

【0041】これにより、フューズとして電氣的に有効となるのは、最上層配線フューズである第 6 層配線フューズのみとなり、第 4 層配線フューズ、第 5 層配線フューズは、フューズとしての意味をなさないものとなる。

【0042】図 7 の模式図は、メモリマクロが、第 5 層を最上層配線とするシステム LSI に搭載された場合の階層フューズ選択切り替えの概念を示している。この場合、階層フューズ部には、第 4 層配線フューズおよび第 5 層配線フューズの 2 本のフューズが存在するが、これらを含む階層フューズ部の左右それぞれに配置されたフューズ選択回路 (L) およびフューズ選択回路 (R) が、最上層配線フューズである第 5 層配線フューズの両端子をそれぞれ選択することにより、内部回路ノード (1) は、フューズ選択回路 (L)、第 5 層配線フューズ、フューズ選択回路 (R) を順に介して、内部回路ノード (2) に電氣的に接続される。

【0043】これにより、フューズとして電氣的に有効となるのは、最上層配線フューズである第 5 層配線フューズのみとなり、第 4 層配線フューズは、フューズとしての意味をなさないものとなる。

【0044】図 8 の模式図は、メモリマクロが、第 4 層を最上層配線とするシステム LSI に搭載された場合の階層フューズ選択切り替えの概念を示している。この場合、階層フューズ部には、第 4 層配線フューズである 1 本のフューズのみが存在し、この階層フューズ部の左右それぞれに配置されたフューズ選択回路 (L) およびフューズ選択回路 (R) が、最上層配線フューズである第 4 層配線フューズの両端子をそれぞれ選択することにより、内部回路ノード (1) は、フューズ選択回路 (L)、第 4 層配線フューズ、フューズ選択回路 (R) を順に介して、内部回路ノード (2) に電氣的に接続される。

【0045】これにより、第 4 層配線フューズが電氣的に有効となる。図 9 は本発明の実施の形態 1 の半導体集積回路装置における階層フューズの選択切り替え構成を示すブロック図である。図 9 において、Tr 4 L、Tr 4 R、Tr 5 L、Tr 5 R、Tr 6 L、Tr 6 R は、それぞれ NchMOS トランジスタで、Tr 4 L、Tr 5 L、Tr 6 L のソースは、内部回路ノード (1) に共通接続され、ドレインは、それぞれ順に第 4 層配線フューズの一端、第 5 層配線フューズの一端、第 6 層配線フューズの一端に接続されている。

【0046】また、Tr 4 R、Tr 5 R、Tr 6 R のソースは、内部回路ノード (2) に共通接続され、ドレイン

8

は、それぞれ順に第 4 層配線フューズの他端、第 5 層配線フューズの他端、第 6 層配線フューズの他端に接続されている。

【0047】さらに、Tr 4 L、Tr 4 R のゲートは、論理信号発生回路 3 からの論理信号 O 1 に共通接続され、Tr 5 L、Tr 5 R のゲートは、論理信号発生回路 3 からの論理信号 O 2 に共通接続され、Tr 6 L、Tr 6 R のゲートは、論理信号発生回路 3 からの論理信号 O 3 に共通接続されている。

【0048】論理信号発生回路 3 は、NAND 素子とインバータ素子とで構成され、4 本の制御信号 A、/A、B、/B が入力され、それらの制御信号に基づいて 3 本の論理信号 O 1、O 2、O 3 が出力される。

【0049】図 10 は図 9 に示した論理信号発生回路 3 (論理信号発生回路 3 としては実施の形態 1 および実施の形態 2 で共通構成) の動作機能表である。図 10 において、論理信号発生回路 3 から出力される 3 本の論理信号 O 1、O 2、O 3 のうち、1 信号のみが、“H”となることを示している。なお、図 9 に示したフューズ選択回路および論理信号発生回路は、一構成例に過ぎず、例えば、フューズ選択回路の構成に PchMOS トランジスタを使用してもよく、その場合には、論理信号発生回路 3 や、図 10 の動作機能表も上記のものとは異なった形になることはいうまでもない。

【0050】図 11 は本発明の半導体集積回路装置における制御信号発生回路 1 (制御信号発生回路 1 としては実施の形態 1 および実施の形態 2 で共通構成) の構成を示す回路ブロック図である。図 11 において、SW_A、SW_B は、ともに製造プロセスのマスク適用工程で ON か OFF かが決定されるスイッチであるが、スイッチ SW_A は、第 6 配線層-第 5 配線層間コンタクト (以下、V5 と記す) と、第 6 配線層 (以下、M6 と記す) のマスク適用がなされることによって、ON 状態となるスイッチであり、SW_B は、第 5 配線層-第 4 配線層間コンタクト (以下、V4 と記す) と、第 5 配線層 (以下、M5 と記す) のマスク適用がなされることによって、ON 状態となるスイッチである。

【0051】すなわち、マスク適用が M4 以降、V4、M5、V5、M6 の順に進められる製造プロセスにおいて、M4 工程を配線層の最終工程とする製品では、SW_A、SW_B は、ともに OFF 状態であり、M5 工程を配線層の最終工程とする製品では、SW_A は OFF 状態、SW_B は ON 状態、M6 工程を配線層の最終工程とする製品では、SW_A、SW_B は、ともに ON 状態となるような構成である。

【0052】また、上記の制御信号発生回路 1 には、パワーオンリセット信号 POR が入力されており、電源投入によって、制御信号発生回路 1 の出力信号である制御信号 A、/A、B、/B の論理が決定される。

【0053】図 12 は図 11 に示した制御信号発生回路

1の動作機能表である。SW_A、SW_BのON/OFF状態によって、制御信号A、/A、B、/Bの論理が変わることを示している。

【0054】図13から図15は、SW_AおよびSW_Bの状態が、製造プロセスのマスク適用工程で切り替わっていく様子を、それぞれのスイッチの断面構造で示したものである。図13は、M4までが形成された状態を示し、SW_A、SW_BはともにOFFになっている。図14は、M5までが形成された状態を示し、SW_AはOFF、SW_BはONになっている。図15は、M6までが形成された状態を示し、SW_AおよびSW_BはともにONになっている。

【0055】以上の各実施の形態では、メモリマクロにおけるフューズ形成層について説明してきたが、本発明は、メモリマクロにおけるフューズ形成層のみに限定されることなく、多層配線プロセスが適用される半導体集積回路装置の全てに適用可能である。

【0056】

【発明の効果】以上のように請求項1記載の発明によれば、LSI製品の全配線層数が何層であっても、常に全配線層の最上層にフューズ形成層を存在させることができる。

【0057】請求項2記載の発明によれば、従来のような単一配線層で形成されたフューズ形成部の面積を増大させることなく、複数のフューズを配置することができる。請求項3記載の発明によれば、最上層の配線層に形成されたフューズがレーザートリマー等で切断された際に生じる下層フューズへのダメージを排除することができる。

【0058】請求項4記載の発明によれば、最上層の配線層に形成されたフューズがレーザートリマー等で切断された際に生じる下層フューズへのダメージを排除するとともに、ひとつの階層フューズを構成する複数のフューズの全てが水平方向にずれて配置され、各ヒューズ端子と内部回路ノードへの接続レイアウトを容易化することができる。

【0059】請求項5記載の発明によれば、フューズの切断情報により、それぞれが異なる配線層からなる複数のフューズの中から、回路的に有効となるフューズを選択することができ、非選択状態のフューズがダメージを受けたとしても、回路的には何ら影響を及ぼさないようにすることができる。

【0060】請求項6記載の発明によれば、それぞれが異なる配線層からなる複数のフューズの一端子群から特定の一端子を選択して、その一端子を第1の内部回路ノードと電気的に接続することができる。

【0061】請求項7記載の発明によれば、それぞれが異なる配線層からなる複数のフューズの他端子群から特定の一端子を選択して、その一端子を第2の内部回路ノードと電気的に接続することができる。

【0062】請求項8記載の発明によれば、フューズ選択回路を論理信号発生回路からの論理信号により制御することができる。請求項9記載の発明によれば、論理信号発生回路を制御信号発生回路からの制御信号により制御することができる。

【0063】請求項10記載の発明によれば、制御信号発生回路から発生する制御信号の論理を、製造プロセスのマスク適用工程によって決定することができる。請求項11記載の発明によれば、製造プロセスのマスク適用工程によって論理が決定された制御信号発生回路からの制御信号を、LSI製品への電源投入により自動的に発生させることができる。

【0064】以上により、電気的に全く同一仕様のメモリマクロが搭載されるシステムLSI製品の場合、その全配線層が何層であっても、フューズ形成層がすべての配線層数に適切に対応するメモリマクロを構成することができ、メモリマクロの種類の増加を抑え、LSI製品の設計および検証等の工数の増大化や、メモリマクロの種類管理の煩雑化を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体集積回路装置における階層フューズを選択的に接続する概要構成を示すブロック図

【図2】本発明の実施の形態2の半導体集積回路装置における階層フューズを選択的に接続する概要構成を示すブロック図

【図3】同実施の形態1および2における階層フューズの重なり構成を示す模式図1

【図4】同実施の形態1および2における階層フューズの重なり構成を示す模式図2

【図5】同実施の形態1および2における階層フューズの重なり構成を示す模式図3

【図6】同実施の形態1における階層フューズの選択切り替え概念を示す模式図1

【図7】同実施の形態1における階層フューズの選択切り替え概念を示す模式図2

【図8】同実施の形態1における階層フューズの選択切り替え概念を示す模式図3

【図9】同実施の形態1における階層フューズの選択切り替え構成を示すブロック図

【図10】同実施の形態1および2における論理信号発生回路の動作機能の説明図

【図11】同実施の形態1および2における制御信号発生回路の構成を示すブロック図

【図12】同実施の形態1および2における制御信号発生回路の動作機能の説明図

【図13】同実施の形態1および2における制御信号発生回路内のスイッチ部の状態切り替わりの説明図1

【図14】同実施の形態1および2における制御信号発生回路内のスイッチ部の状態切り替わりの説明図2

11

12

【図15】同実施の形態1および2における制御信号発生回路内のスイッチ部の状態切り替わりの説明図3

【図16】従来の半導体集積回路装置における第3配線層によるフューズ部の断面構造図

【図17】従来の半導体集積回路装置における第4配線層によるフューズ部の断面構造図

【符号の説明】

1 制御信号発生回路

* 2 制御信号

3 論理信号発生回路

4 論理信号

5 階層フューズ

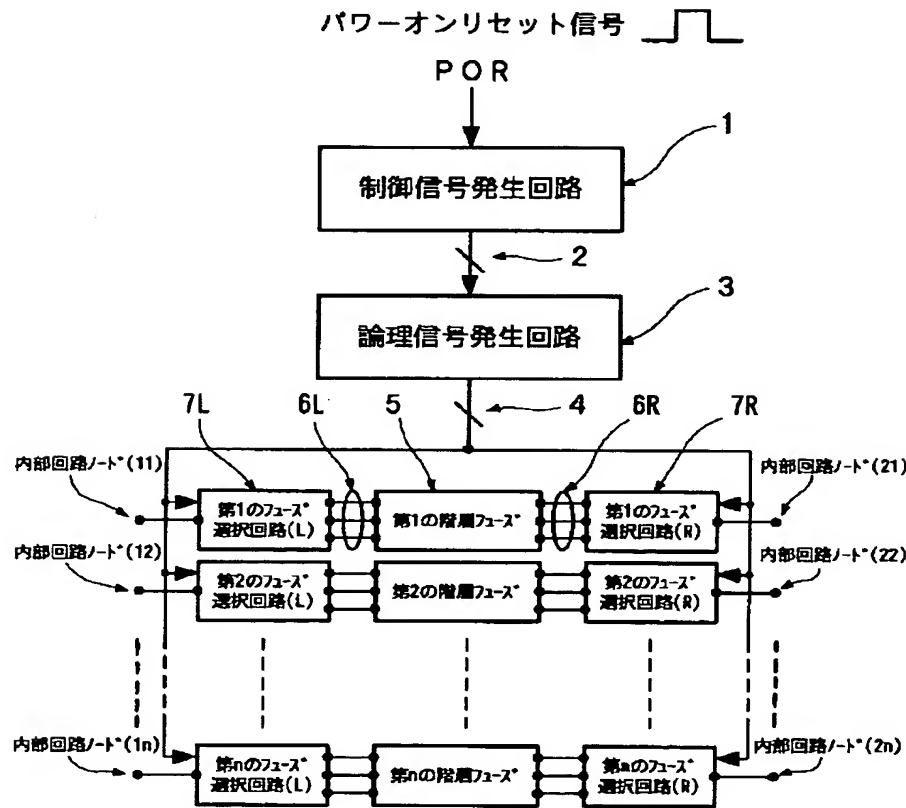
6 L 階層フューズの一端子群

6 R 階層フューズ他端子群

7 L フューズ選択回路 (L)

* 7 R フューズ選択回路 (R)

【図1】



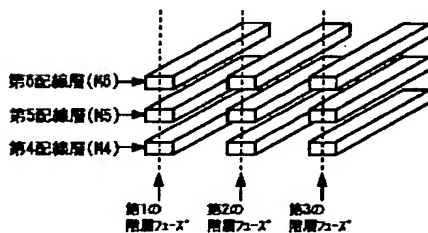
【図10】

A	A	B	B	01	02	03
L	H	L	H	L	L	L
L	H	H	L	L	H	L
H	L	H	L	L	L	H

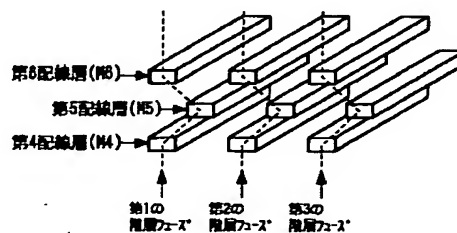
【図12】

SW	A	SW	B	A	A	B	B
OFF	OFF	L	H	L	L	H	L
OFF	ON	L	H	L	H	L	L
ON	ON	H	L	L	H	L	L

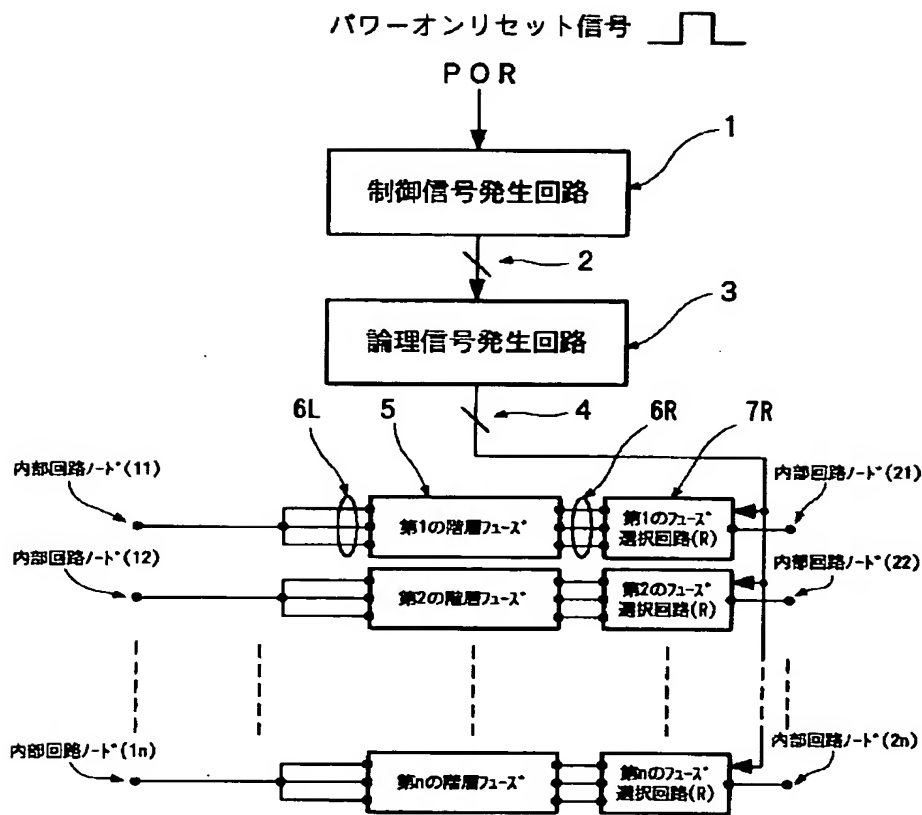
【図3】



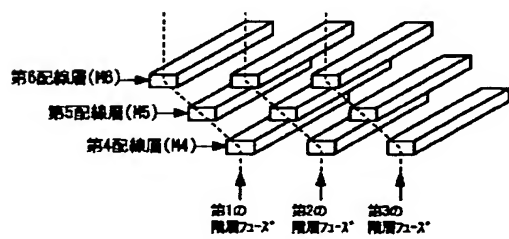
【図4】



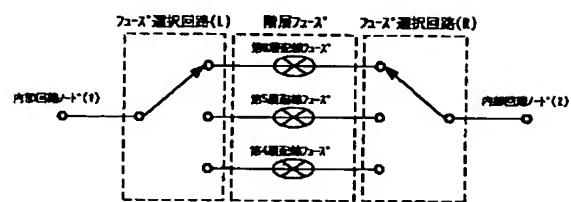
【図2】



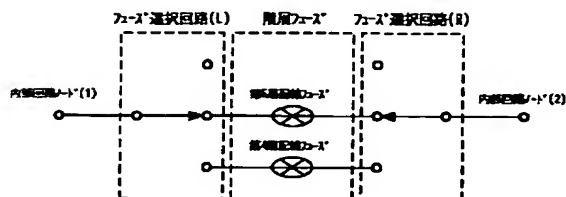
【図5】



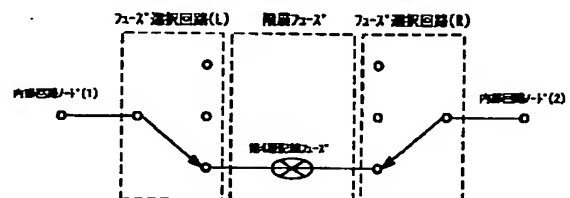
【図6】



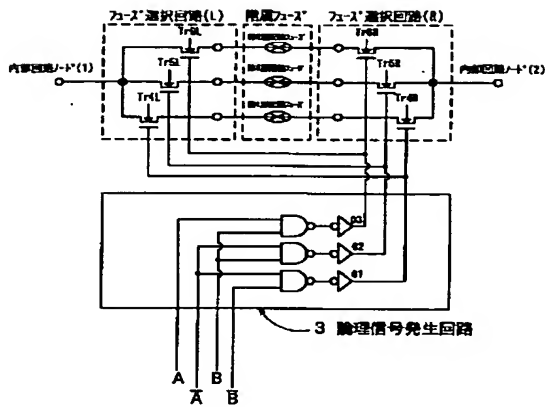
【図7】



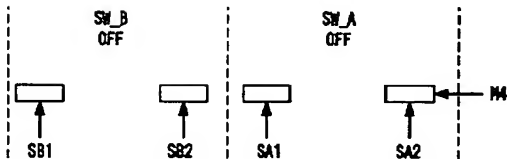
【図8】



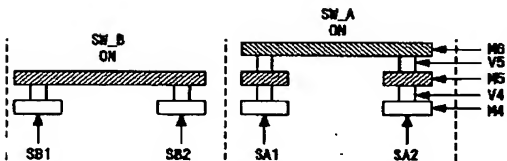
【図9】



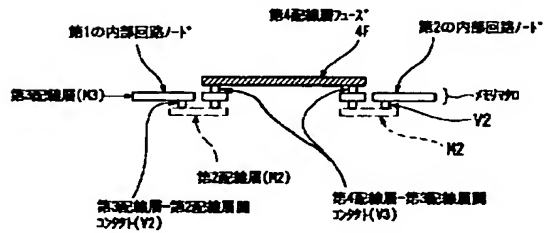
【図13】



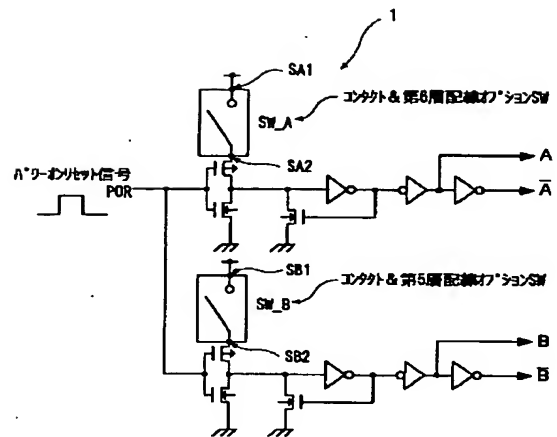
【図15】



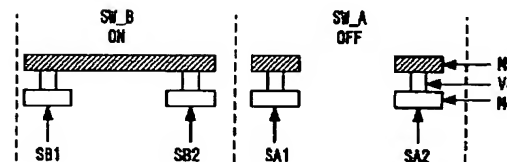
【図17】



【図11】



【図14】



【図16】

